

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232221

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H01L 21/027
H01L 21/66

(21)Application number : 08-041048

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.1996

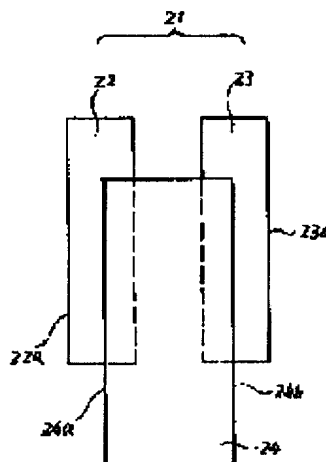
(72)Inventor : KOMURO MASAHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device in which the overlapping accuracy of an upper-layer pattern with a lower-layer pattern is enhanced by a method wherein a first lower-layer mark is constituted of two grooves which are formed to be slit-shaped in a first material film and which are buried with a second material film and a second upper-layer mark is constituted of a resist pattern which covers the two grooves and which is formed on a third material film.

SOLUTION: One pair of marks 21, 24 which are used to measure the overlapping amount of a lower-layer pattern with an upper-layer pattern at a semiconductor device are formed in a prescribed lower-layer region and a prescribed upper-layer region on a semiconductor chip. At this time, a first mark is a main scale index 21 at a caliper on the chip, and a second mark is a vernier scale index 24. The first mark which is formed on a lower layer out of the pair, i.e., the main scale index 21, is constituted of a first opening groove 22 and a second opening groove 23 which are formed to be slit-shaped in a first material film and which are filled with a burying polysilicon film as a second material film. Then, the second mark 24 which is formed on an upper layer out of the pair is formed on a third material film which covers the buried grooves.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232221

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl.⁹

H 0 1 L 21/027
21/66

識別記号

庁内整理番号

F I

H 0 1 L 21/30
21/66

5 0 2 M
Y

技術表示箇所

審査請求 有 請求項の数8 O L (全 9 頁)

(21)出願番号 特願平8-41048

(22)出願日 平成8年(1996)2月28日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 小室 雅宏

東京都港区芝五丁目7番1号 日本電気株
式会社内

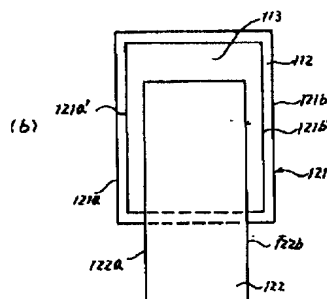
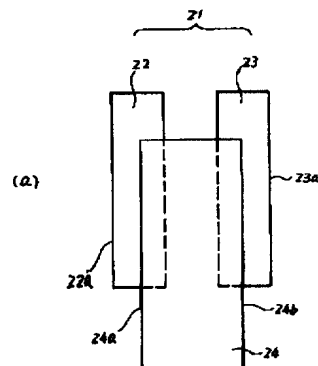
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】半導体装置製造のためのフォトリソグラフ工程で、下層のパターンと上層パターンとの重ね合わせ精度を向上させる。

【解決手段】半導体装置の下層パターンと上層パターンとの重ね合わせ量を測定するための1対のマークを半導体チップ上の前記下層と上層の所定の領域に有し、前記1対のうち下層に形成される第1のマークが第1の材料膜にスリット状に形成され第2の材料膜で埋設される2つの溝で構成され、前記1対のうち上層に形成される第2のマークが前記埋設された2つの溝を被覆する第3の材料膜上に形成されたレジストパターンで構成される。



【特許請求の範囲】

【請求項1】 半導体装置の下層パターンと上層パターンとの重ね合わせ量を測定するための1対のマークを半導体チップ上の前記下層と上層の所定の領域に有し、前記1対のうち下層に形成される第1のマークが第1の材料膜にスリット状に形成され第2の材料膜で埋設される2つの溝で構成され、前記1対のうち上層に形成される第2のマークが前記埋設された2つの溝を被覆する第3の材料膜上に形成されたレジストパターンで構成されていることを特徴とする半導体装置。

【請求項2】 前記第1のマークが半導体チップ上に形成されたノギスにおける主尺ノギスの指標であり、第2のマークが副尺ノギスの指標であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記主尺ノギスの指標である前記2つの溝の離間距離が、前記副尺ノギスの指標であるレジストパターン幅より小さな値であることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記第1のマークが半導体チップ上に形成された自動重ね合わせ測定用の外側ボックスマークであり、前記第2のマークが前記自動重ね合わせ測定用の内側ボックスマークであることを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体基板上に層間絶縁膜を形成し前記層間絶縁膜の所定の領域に2つのスリット状の開口溝を隣接して形成する工程と、前記2つの開口溝に第1の導電体材料膜を埋設する工程と、前記第1の導電体材料膜の埋設された前記2つの開口溝を被覆する第2の導電体材料膜を形成する工程と、前記第2の導電体材料膜上にレジストパターンを形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の導電体材料膜または前記第2の導電体材料膜がポリシリコン膜であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 半導体基板の所定の領域にスリット状の2つの隣接するシリコン溝を形成する工程と、前記2つのシリコン溝に絶縁体材料膜を埋設する工程と、前記絶縁体材料膜の埋設された前記2つのシリコン溝を被覆する第3の導電体材料膜を形成する工程と、前記第3の導電体材料膜上にレジストパターンを形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項8】 前記絶縁体材料膜がシリコン酸化膜であり、前記第3の導電体材料膜が高融点金属のシリサイドを含む薄膜であることを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に半導体装置を製造するフォトリソグラフィ工程における位置合わせ、すなわち重ね合

わせ精度評価用のパターンに関する。

【0002】

【従来の技術】半導体素子の微細化及び高密度化は依然として精力的に進められ、現在では0.25 μ mの寸法基準で設計された256メガビットあるいはそれ以下の設計基準で設計される1ギガビットDRAM（ダイナミック・ランダム・アクセス・メモリー）等の超高集積の半導体デバイスが開発試作されている。このような半導体デバイスの高集積化に伴い、半導体素子構造の形成に必須となっているフォトリソグラフィ工程でのマスク合わせ精度の更なる向上が強く要求されるようになっている。

【0003】通常、半導体デバイスの製造では、半導体基板上に金属膜、半導体膜、絶縁体膜等の各種材料で形成されたパターンが順次積層され、微細構造の半導体素子が形成される。この半導体素子用のパターンを積層する場合には、フォトリソグラフィ工程において、前工程で形成した下層のパターンに重ね合わせし次の上層パターンを形成することが要求される。

【0004】このフォトリソグラフィ工程においては、上層のフォトリソグラフィ工程を行う際、マスクパターンをその下層のパターンに所定の規格で重ね合わせしながらこれを行うことが必要となる。このパターンの重ね合わせ精度に関する所定の規格は、半導体装置の微細化につれて厳しくなっている。そこで、この重ね合わせ精度を評価する技術が重要になってきている。

【0005】現在、2つのフォトリソグラフィ工程間の重ね合わせ誤差を簡単に計測する方法としては、工程毎に僅かずつ異なる一定のピッチの矩形パターンを半導体チップ上に形成しパターンの重なり具合から位置誤差を読みとる方法が用いられている。そして、この矩形パターンは一般にパターン合わせノギスまたはバーニヤと呼ばれている。また一般的には、半導体チップの下層と上層に1対のマークを形成して、これらのマークの重ね合わせ程度を計測する方法が用いられる。

【0006】以下、従来のフォトリソグラフィ工程におけるマスクパターンと下地になる層との重ね合わせ測定用ノギスについて、図5乃至図7に基づいて説明する。ここで、図5と図6とはDRAM製造のある工程でノギスを形成する場合のその工程順の断面図である。

【0007】この工程断面図は、メモリセルのMOSトランジスタの形成された半導体基板上にコンタクト孔が形成され、このコンタクト孔にポリシリコン・プラグが充填され、そしてDRAMの容量下部電極膜が堆積され、コンタクト孔パターンに容量下部電極パターンが重ね合わせされるフォトリソグラフィ工程までの工程を示している。

【0008】図5(a)に示すように、シリコン基板101上に選択酸化法等によってフィールド酸化膜102が形成される。そして、所定の工程を通してMOSトラ

ンジスタが形成されるのであるが、図5には、簡明にするためにMOSトランジスタのゲート電極103が示される。

【0009】次に、例えば800nm程度のシリコン酸化膜が化学気相成長(CVD)法等によって堆積される。ここで、必要とあればこのシリコン酸化膜に対して、化学的機械研磨(CMP)が施され平坦化した層間絶縁膜104が形成される。あるいは、この層間絶縁膜104はリフローまたはエッチバックで平坦化されたBPSG膜(ボロンガラスとリンガラスを含むシリコン酸化膜)で形成される。

【0010】次に、図5(a)に示すようなレジストマスク105が形成される。ここで、このレジストマスク105は、コンタクト孔部分および重ね合わせ測定用の主尺ノギスを形成するために用いられる。すなわち、所定パターン形状に形成されたレジストマスク105がエッチングマスクにされ、異方性ドライエッチングによって層間絶縁膜104の所定の領域が除去される。このようにして、図5(b)に示すコンタクト孔106および重ね合わせ用の主尺ノギスを構成する指標用開口が形成される。ここでは、図5(b)に示すようにこの指標用開口として、第1の指標用開口107、第2の指標用開口108および第3の指標用開口109が形成されている。

【0011】次に、図5(c)に示すように、コンタクト孔106を埋め込むための充填材料として、例えば、ポリシリコン膜110が200nm程度の膜厚に堆積される。ここで、コンタクト孔の寸法は前述の指標用開口の寸法より小さく形成されている。このため、図5

(c)に示すように、コンタクト孔106はポリシリコン膜110で完全に埋設されるが、第1の指標用開口107、第2の指標用開口108および第3の指標用開口109は埋設されない。

【0012】次に、このポリシリコン膜110は異方性のドライエッチングでエッチバックされる。このようにして、図6(a)に示すように、コンタクト孔106にはポリシリコン・プラグ111が充填され、指標用開口の側壁にはサイドウォール・ポリシリコン112が形成される。

【0013】次に、図6(b)に示すように、容量下部電極膜113として、例えば、ポリシリコン薄膜が膜厚800nm程度堆積される。そして、この容量下部電極膜113に所定の容量下部電極パターンが形成されるフォトリソグラフィ工程のために、容量下部電極膜113の表面にフォトレジスト膜が均一に形成される。その後、縮小投影露光およびフォトレジストの現像が行われる。

【0014】このようなフォトリソグラフィ工程で、図6(c)に示すように、容量下部電極用レジストパターン114が形成される。また、この時、副尺ノギスとな

る第1の指標用レジストパターン115、第2の指標用レジストパターン116および第3の指標用レジストパターン117が形成される。そして、これらの副尺ノギスとなる指標用レジストパターンが、コンタクト孔106と容量下部電極用レジストパターン114との重ね合わせ精度の測定に用いられる。すなわち、第1の指標用レジストパターン115と第1の指標用開口107との重なり具合、第2の指標用レジストパターン116と第2の指標用開口108との重なり具合、第3の指標用レジストパターン117と第3の指標用開口109の重なり具合が光学顕微鏡で読み取られる。

【0015】次に、このようなノギスによる、重ね合わせのズレ量の読み方を図7で説明する。図7は先述した主尺ノギスと副尺ノギスを平面図である。

【0016】図7(a)に示すように、主尺ノギス指標121の指標辺121aと副尺ノギス指標122の指標辺122aとの距離X、主尺ノギス指標121の指標辺121bと副尺ノギス指標122の指標辺122bとの距離Yが光学顕微鏡で目視される。ここで、この主尺ノギス指標121は、先述したように1つの溝すなわち1つの指標用開口で形成されている。

【0017】図7(b)に示すように、上記のような主尺ノギスを構成するノギス指標すなわち第1の指標123、第2の指標124、第3の指標125、第4の指標126および第5の指標127が形成され、同様に副尺ノギスを構成する第1の指標128、第2の指標129、第3の指標130、第4の指標131および第5の指標132が形成されている。

【0018】ここで、主尺ノギス指標がピッチpで配列されており、副尺ノギス指標がピッチqで配列されているとする。そして、例えば $q = p + 0.025 \mu\text{m}$ とすると、図7では主尺ノギスの第2の指標と副尺ノギスの第2の指標の重なり具合が最もよい。この場合には、重ね合わせのズレ量は $+0.025 \mu\text{m}$ となる。この方法により下地とマスクパターンとの位置ズレ量を読みとり容量下部電極パターン114露光時の位置ズレ補正パラメータとして $+0.025 \mu\text{m}$ と露光装置に入力する。この補正により、下層のコンタクト孔106と容量下部電極パターン114との重ね合わせ精度が向上するようになる。

【0019】

【発明が解決しようとする課題】このように、上述した従来の技術の場合には、コンタクト106内を埋め込むポリシリコン膜110が堆積され、その後に、エッチバックでコンタクト孔106内にポリシリコン・プラグ111が埋設される。このような工程において、コンタクト孔形成時に開口した重ね合わせ測定用主尺ノギスの指標用開口の側壁にはサイドウォール・ポリシリコン112が形成されてしまう。その後、容量下部電極膜113の堆積で重ね合わせ測定用主尺ノギスの指標用開口が埋

10

20

30

40

50

まる。

【0020】このように主尺ノギスの指標が形成されると、先述した光学顕微鏡による重ね合わせ測定時に、主尺ノギスの指標の指標辺が2重に見えてしまう。このために、主尺ノギスの指標と副尺ノギスの指標の光学顕微鏡による重ね合わせ読み取りが非常に困難になる。

【0021】また、この従来の技術では主尺ノギスのための指標用開口部が凹状になるため段差が発生し、この段差の中に形成されるようになる副尺ノギスの指標となるレジストパターンの形状が悪くなる。このことも、主尺ノギスの指標と副尺ノギスの指標との重ね合わせ読み取りを困難にする。

【0022】そして、このような重ね合わせ読み取り精度の低下は、半導体素子の微細化に伴いますます顕著になってきている。

【0023】本発明の目的は、半導体装置製造の製造工程において、フォトリソグラフィ工程時の下層パターンと上層のパターンとの重ね合わせ精度を向上させることにある。

【0024】

【課題を解決するための手段】このために本発明の半導体装置には、半導体装置の下層パターンと上層パターンとの重ね合わせ量を測定するための1対のマークを半導体チップ上の前記下層と上層の所定の領域に有し、前記1対のうち下層に形成される第1のマークが第1の材料膜にスリット状に形成され第2の材料膜で埋設された2つの溝で構成され、前記1対のうち上層に形成される第2のマークが前記埋設された2つの溝を被覆する第3の材料膜上に形成されている。

【0025】ここで、前記第1のマークが半導体チップ上に形成されたノギスにおける主尺ノギスの指標であり、第2のマークが副尺ノギスの指標である。

【0026】そして、前記主尺ノギスの指標である前記2つの溝の離間距離が、前記副尺ノギスの指標であるレジストパターン幅より小さな値であるように設定される。

【0027】あるいは、前記第1のマークが半導体チップ上に形成された自動重ね合わせ測定用の外側ボックスマークであり、前記第2のマークが前記自動重ね合わせ測定用の内側ボックスマークである。

【0028】本発明の半導体装置の製造方法は、半導体基板の上に層間絶縁膜を形成し前記層間絶縁膜の所定の領域に2つのスリット状の開口溝を隣接して形成する工程と、前記2つの開口溝に第1の導電体材料膜を埋設する工程と、前記第1の導電体材料膜の埋設された前記2つの開口溝を被覆する第2の導電体材料膜を形成する工程と、前記第2の導電体材料薄膜上にレジストパターンを形成する工程とを含むようになる。

【0029】ここで、前記第1の導電体材料膜あるいは第2の導電体材料膜としてポリシリコン膜が使用され

る。

【0030】または、本発明の半導体装置の製造方法は、半導体基板の所定の領域にスリット状の2つの隣接するシリコン溝を形成する工程と、前記2つのシリコン溝に絶縁体材料膜を埋設する工程と、前記絶縁体材料膜の埋設された前記2つのシリコン溝を被覆する第3の導電体材料膜を形成する工程と、前記第3の導電体材料薄膜上にレジストパターンを形成する工程とを含む。

【0031】ここで、前記絶縁体材料膜としてシリコン酸化膜が使用され、前記第3の導電体材料膜として高融点金属のシリサイドを含む薄膜が使用される。

【0032】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1および図2に基づいて説明する。図1と図2は、従来の技術で説明したのと同様に、DRAM製造のある工程でノギスを形成する場合のその工程順の断面図である。

【0033】図1(a)に示すように、シリコン基板1上にフィールド酸化膜2が形成される。そして、所定の工程を通してメモリセルのトランスファ・トランジスタであるMOSトランジスタが形成される。ここで図1には、簡明にするためにMOSトランジスタのゲート電極3のみが示される。

【0034】次に、膜厚が800nm程度のシリコン酸化膜が堆積され、CMP法で平坦化されて層間絶縁膜4が形成される。そして、図1(a)に示すようなレジストマスク5が形成される。ここで、このレジストマスク5は、コンタクト孔部分および第1のマークとなる主尺ノギスを形成するために用いられる。この場合の主尺ノギスの1つの指標は、後述するように2つのレジストパターンで形成されることになる。そして、このようなパターン形状に形成されたレジストマスク5がエッチングマスクにされ、異方性ドライエッチングによって層間絶縁膜4の所定の領域が除去される。このようにして、図1(b)に示すコンタクト孔6および重ね合わせ用の主尺ノギスを構成する指標用開口が形成される。ここでは、図1(b)に示すように、第1の指標用開口7は互いに隣接する細いスリット状の第1開口溝7aと第2開口溝7bとで構成される。同様に、第2の指標用開口8は第1開口溝8aと第2開口溝8bとで構成される。さらに、第3の指標用開口9も同様に第1開口溝9aと第2開口溝9bとで構成される。

【0035】次に、図1(c)に示すように、コンタクト孔6と前述の指標用開口すなわち第1開口溝7a、8aおよび9aと第2開口溝7b、8bおよび9bとを埋め込むための充填材料として、例えば、ポリシリコン膜10が700nm程度の膜厚に堆積される。ここで、コンタクト孔の口径寸法と前述の各開口溝の口径寸法は同一になるように形成されている。例えば、この寸法は0.3μmに設定される。そして、このポリシリコン膜

10の膜厚は、これらのコンタクト孔および開口溝の寸法の2倍以上になるように設定される。このように、図1(c)に示すように、コンタクト孔6はポリシリコン膜10で完全に埋設される。そして、第1の指標用開口7、第2の指標用開口8および第3の指標用開口9も完全にこのポリシリコン膜10で埋設されるようになる。

【0036】次に、このポリシリコン膜10は異方性のドライエッチングでエッチバックされる。このようにして、図2(a)に示すように、コンタクト孔6にはポリシリコン・プラグ11が充填され、指標を構成する各開口溝には埋設ポリシリコン12が充填される。

【0037】次に、図2(b)に示すように、容量下部電極膜13として、例えば、ポリシリコン薄膜が膜厚800nm程度堆積される。そして、フォトリソグラフィ工程で、図2(c)に示すように、容量下部電極用レジストパターン14が形成されると共に第2のマークすなわち副尺ノギスとなる第1の指標用レジストパターン15、第2の指標用レジストパターン16および第3の指標用レジストパターン17が形成される。

【0038】以上のようにして形成される主尺ノギスと副尺ノギスが、コンタクト孔6と容量下部電極用レジストパターン14との重ね合わせ精度の測定に用いられることになる。すなわち、第1の指標用レジストパターン15と第1の指標用開口7との重なり具合、第2の指標用レジストパターン16と第2の指標用開口8との重なり具合、第3の指標用レジストパターン17と第3の指標用開口9の重なり具合が光学顕微鏡で読み取られるようになる。

【0039】次に、上述した本発明の方法で形成されたノギスによる重ね合わせ測定について図3で説明する。図3は、主尺ノギスと副尺ノギスで最も重なりの良いノギス指標の平面図である。

【0040】図3(a)に示すように、本発明の主尺ノギス指標21は埋設ポリシリコンで充填された第1開口溝22と第2開口溝23とで構成されている。そして、第1開口溝22の指標辺22aと副尺ノギス指標24の指標辺24aとの距離、第2開口溝23の指標辺23aと副尺ノギス指標24の指標辺24bとの距離が光学顕微鏡で目視され、ノギスの重ね合わせ読み取りがなされる。このように、本発明の重ね合わせの読み取りでは、1対の指標辺を目視すればよいので、その作業は簡単になる。

【0041】これに対し先述した従来の技術を比較すると、図3(b)に示すようになっている。すなわち、主尺ノギス指標121は指標用開口、例えば図6で説明した第1の指標用開口107で形成され、この指標用開口の側壁にはサイドウォール・ポリシリコン112が形成されている。そして、この内部には、例えば先述した容量下部電極膜113が堆積している。このような主尺ノ

ギス指標121と副尺ノギス指標122とで重ね合わせ読み取りがなされる場合、主尺ノギス指標121の片方の指標辺が指標辺121aと121a'の二重に形成される。同様に他方の指標辺も指標辺121bと121b'の二重に形成される。このために、これらの指標辺と副尺ノギス指標122の指標辺122aあるいは122bとの目視による重ね合わせ読み取りが非常に難しくなっている。

【0042】また、本発明では、主尺ノギス指標を構成する開口溝がポリシリコン等の埋込み材料で完全に埋設され平坦化されているため、この平坦化された表面に形成される副尺ノギス指標の寸法精度が非常に向上するようになる。このことも、重ね合わせの読み取り精度を大幅に向上させる。

【0043】次に、本発明の第2の実施の形態を図4に基づいて説明する。図4は、先述したノギスと同様に半導体チップ表面に形成される自動重ね合わせ測定用マークの断面図である。この自動重ね合わせ測定用マークは、ノギスの寸法より大きな形状に形成される。ここで、図4(a)に本発明の適用される場合が示され、図4(b)に従来の技術の場合が比較のために示されている。

【0044】図4(a)に示されるように、シリコン基板1上に層間絶縁膜4が形成されている。ここで、この層間絶縁膜4の膜厚は800nm程度である。そして、この層間絶縁膜4の所定の領域にスリット状の第1外側ボックスマーク溝31と第2外側ボックスマーク溝32が設けられている。ここで、これらの外側ボックスマーク溝の開口寸法は0.5μm程度に設定されている。

【0045】そして、この第1外側ボックスマーク溝31と第2外側ボックスマーク溝32に埋設材料33および34が充填されている。さらに、この層間絶縁膜4、埋設材料33および34の表面を被覆する材料薄膜35が堆積されている。

【0046】このような一対の外側ボックスマーク溝間に位置する領域であり、上記の材料薄膜35上の所定の領域に、内側ボックスマーク36が形成されるようになる。そして、このような外側ボックスマークと内側ボックスマークの上部からレーザ光が走査され、これらのボックスマーク間の位置関係が計測される。このレーザ光の走査は自動的になされ、上層に形成されたパターンと下層のパターン間の自動重ね合わせ測定がなされる。

【0047】これに対し従来の技術では、図4(b)に示すようになっている。すなわち、シリコン基板101上に層間絶縁膜104が形成され、この層間絶縁膜104の所定の領域に1つの外側ボックスマーク41が形成されている。この口径寸法は3μm程度に設定される。そして、この外側ボックスマーク41の側壁にサイドウォール材料42および43が形成されている。さらに、この層間絶縁膜104表面、シリコン基板101表面お

10

20

30

40

50

よびサイドウォール材料42および43表面を被覆する材料薄膜44が堆積されている。ここで、内側ボックスマーク45が、図4(b)に示すように、外側ボックスマーク41の窪み内の材料薄膜44上に形成されるようになる。このために、この内側ボックスマーク45のパターン精度が低下するようになる。

【0048】本発明の場合には、先述した2つの外側ボックスマーク溝が埋設材料で充填され完全に平坦化されているため、この平坦化された表面に形成される内側ボックスマークの寸法精度が非常に向上するようになる。

【0049】また、本発明では、自動重ね合わせ測定において、測定エラーの発生頻度が大幅に減少する。これは、先述したレーザ光照射で検知されるパターンの端部すなわちパターンの辺部が減少するようになるからである。

【0050】以上に説明した本発明の実施の形態では、DRAMの製造工程で、下層になる容量用のコンタクト孔と上層になる容量下部電極パターンの重ね合わせを想定して説明されている。この重ね合わせ測定用マークの形成では、例えばノギスのようなマークの形成において、主尺ノギス指標が、DRAM容量用のコンタクト孔の形成工程で、層間絶縁膜の所定の領域に形成され、副尺ノギス指標が、DRAMの容量下部電極膜上に形成される場合について説明された。

【0051】しかし、本発明は、このような工程に限定されることはない。この他に、下層にトレンチ型の素子分離が形成され、上層にMOSトランジスタのゲート電極が重ね合わせて形成される場合がある。本発明はこのような場合にも同様にして適用される。

【0052】すなわち、シリコン基板の表面に2つのスリット状のシリコン溝が形成され、このシリコン溝はシリコン酸化膜の埋設材料で充填される。そして、このシリコン酸化膜で埋設され平坦化された2つのスリット状のシリコン溝で主尺ノギス指標が構成される。さらに、この平坦化されたシリコン溝上にゲート電極膜が堆積される。そして、フォトリソグラフィ工程でこのゲート電極膜上にゲート電極用のレジストパターンが形成される。ここで、同時に副尺ノギス指標となるレジストパターンも形成されるようになる。

【0053】また、本発明の実施の形態で、層間絶縁膜に形成される開口溝への埋設材料として、ポリシリコンが使用される場合が説明されていた。この場合の埋設材料としては、ポリシリコンの代りに高融点金属あるいは高融点金属のシリサイドが用いられてもよいことに言及しておく。

【0054】

【発明の効果】以上に説明したように本発明の場合では、重ね合わせ測定用の主尺ノギス指標あるいは自動重ね合わせ測定用外側ボックスマークが、半導体チップ上の層間絶縁膜あるいはシリコン基板に、互いに隣接する

スリット状の2つの溝として形成される。そして、この2つのスリット状の溝には別の材料膜が埋設され完全にこの溝部は平坦化される。

【0055】このために、この完全に平坦化された主尺ノギスの指標上には、非常に高い寸法精度を有する副尺ノギスの指標が容易に形成できるようになる。

【0056】そして、これらのために、主尺ノギスの指標と副尺ノギスの指標の光学顕微鏡による重ね合わせ読み取りが非常に簡単になり、その読み取り精度が大幅に向上する。同様に、自動重ね合わせ測定の精度も大幅に向上するようになる。

【0057】そして、このような重ね合わせ読み取り精度の向上は、半導体素子の微細化および高密度化を促進し、半導体デバイスの高集積化を容易にする。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する製造工程順の断面図である。

【図2】本発明の第1の実施の形態を説明する製造工程順の断面図である。

【図3】本発明のノギスを説明するためのノギス指標の平面図である。

【図4】本発明の第2の実施の形態を説明するボックスマークの断面図である。

【図5】従来の技術を説明するための製造工程順の断面図である。

【図6】従来の技術を説明するための製造工程順の断面図である。

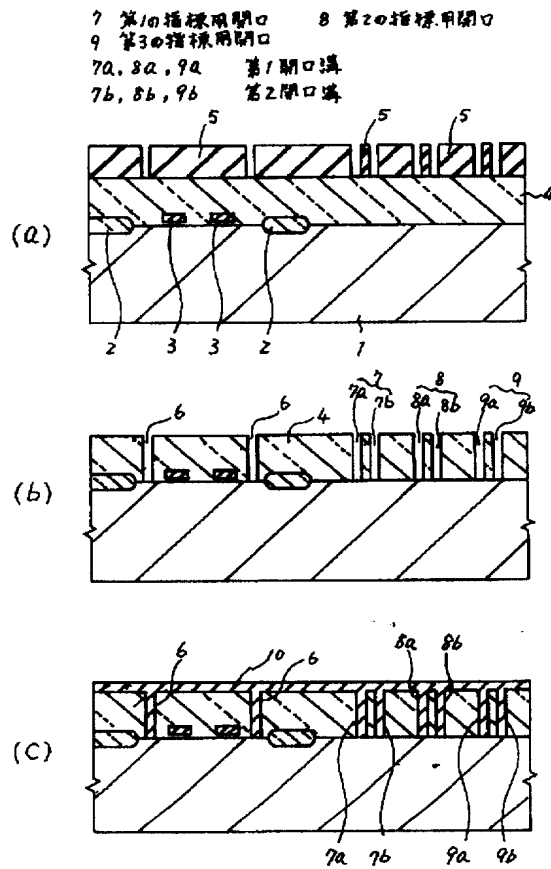
【図7】重ね合わせ測定を説明するためのノギスの平面図である。

【符号の説明】

1, 101	シリコン基板
2, 102	フィールド酸化膜
3, 103	ゲート電極
4, 104	層間絶縁膜
5, 105	レジストマスク
6, 106	コンタクト孔
7, 107	第1の指標用開口
7a, 8a, 9a, 22	第1開口溝
7b, 8b, 9b, 23	第2開口溝
8, 108	第2の指標用開口
9, 109	第3の指標用開口
10, 110	ポリシリコン膜
11, 111	ポリシリコン・プラグ
12	埋設ポリシリコン
13, 113	容量下部電極膜
14, 114	容量下部電極用レジストパターン
15, 115	第1の指標用レジストパターン
16, 116	第2の指標用レジストパターン
17, 117	第3の指標用レジストパターン
21, 121	主尺ノギス指標

11
22a, 23a, 24a, 24b 指標辺
24, 122 副尺ノギス指標
31 第1外側ボックスマーク溝
32 第2外側ボックスマーク溝
33, 34 埋設材料
35, 44 材料薄膜
36, 45 内側ボックスマーク
41 外側ボックスマーク
42, 43 サイドウォール材料

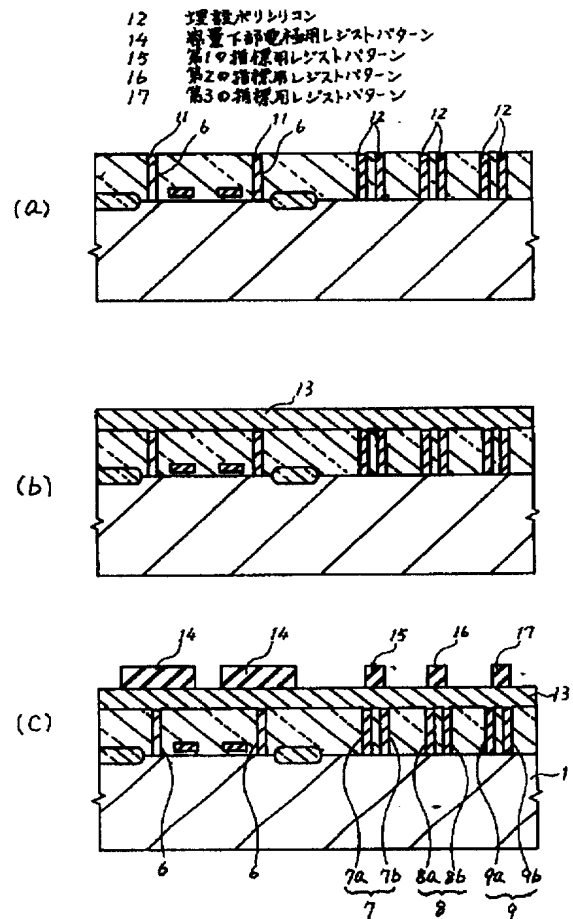
【図1】



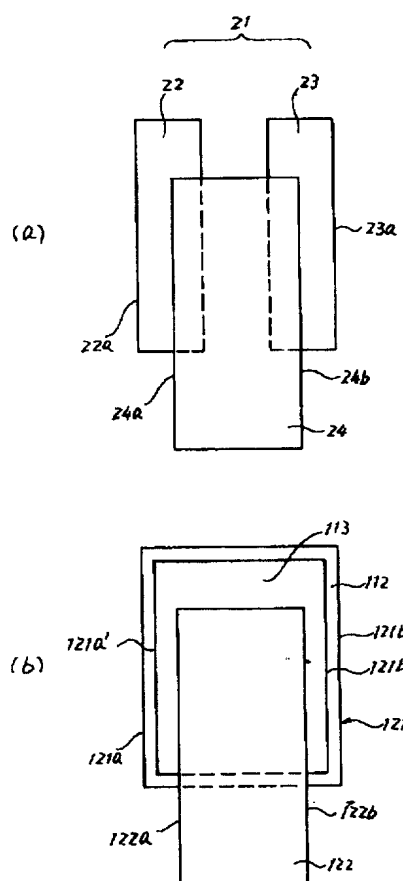
12

* 112 サイドウォール・ポリシリコン
121a, 121a', 121b, 121b' 指標
辺
122a, 122b 指標辺
123, 128 第1の指標
124, 129 第2の指標
125, 130 第3の指標
126, 131 第4の指標
* 127, 132 第5の指標

【図2】

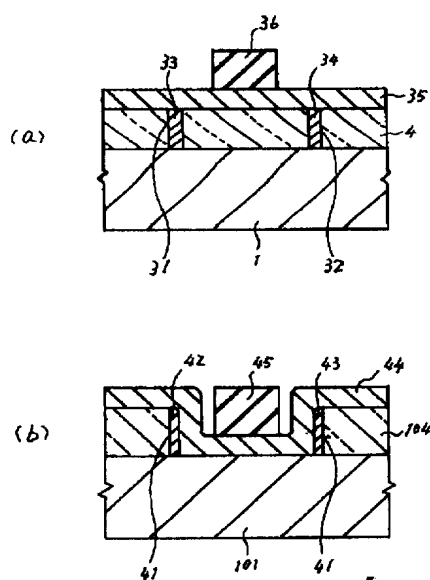


【図3】

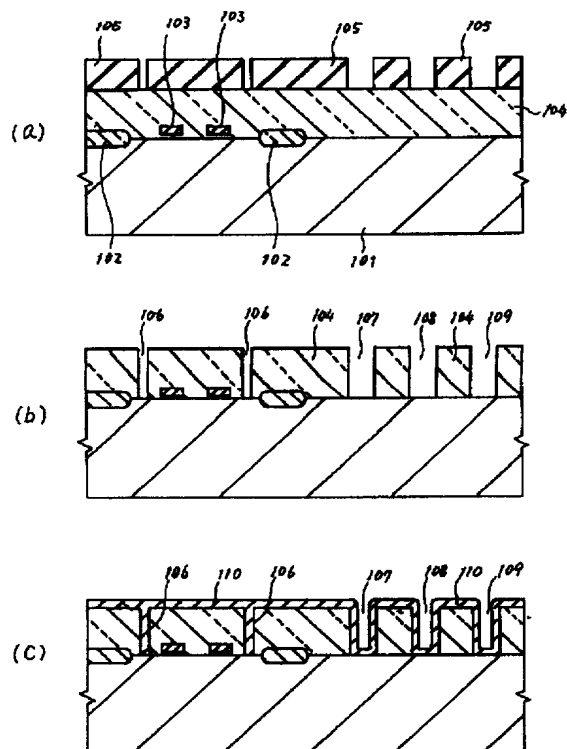


【図4】

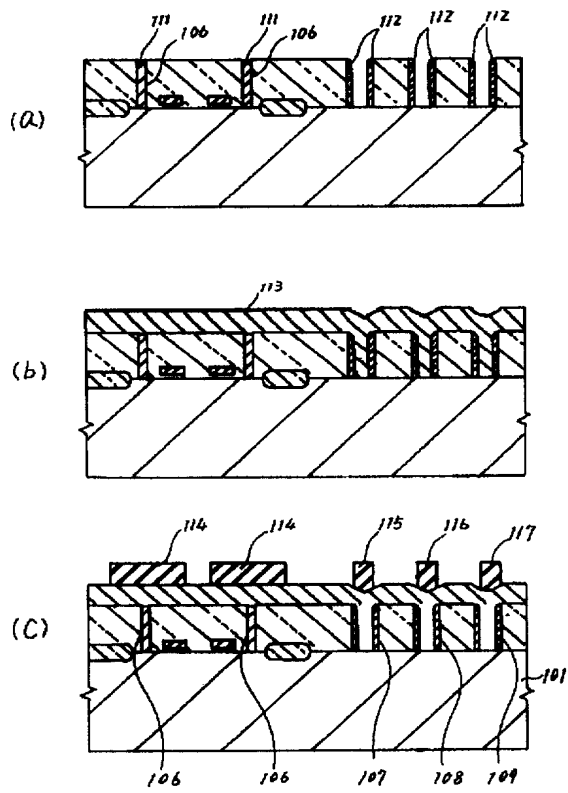
31 第1外側ボックスマーク溝
 32 第2外側ボックスマーク溝
 33, 34 埋設材料
 36 内側ボックスマーク



【図5】



【図 6】



【図 7】

